

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-47919

(43)公開日 平成5年(1993)2月26日

(51)Int.Cl.<sup>5</sup>

H 0 1 L 21/76  
29/784

識別記号

庁内整理番号

L 9169-4M

8225-4M

F I

H 0 1 L 29/ 78

技術表示箇所

3 0 1 R

審査請求 未請求 請求項の数1(全 6 頁)

(21)出願番号 特願平3-205896

(22)出願日 平成3年(1991)8月16日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 大津 孝二

東京都品川区北品川6丁目7番35号 ソニー株式会社内

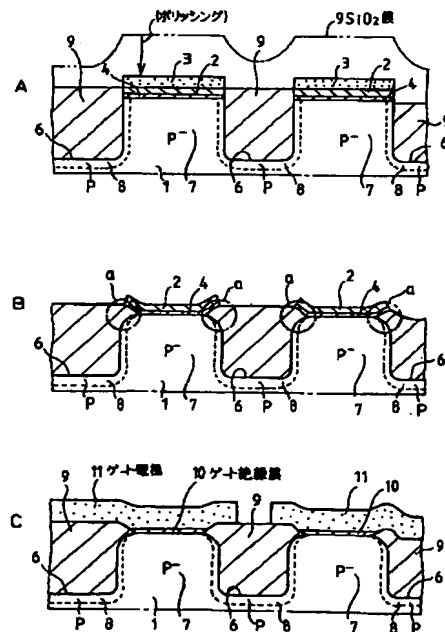
(74)代理人 弁理士 松隈 秀盛

(54)【発明の名称】 半導体装置の製法

(57)【要約】

【目的】 トレンチ溝にて素子分離されたMOS型FETにおけるゲート耐圧の向上を図ると共に、リーク電流不良の改善を図り、MOS型FETの高信頼性及び高歩留り化を達成させる。

【構成】 シリコン基板1上にSi<sub>3</sub>N<sub>4</sub>膜2及び多結晶シリコン層3を形成した後、選択的にSi<sub>3</sub>N<sub>4</sub>膜2及び多結晶シリコン層3並びにその下層のシリコン基板1の一部を除去して、シリコン基板1にトレンチ溝6を形成し、その後、トレンチ溝6内にSiO<sub>2</sub>膜9を埋め込んだ後、上層の多結晶シリコン層3を除去する。その後、全面に選択酸化を行って、トレンチ溝6内のSiO<sub>2</sub>膜9を上方に成長させて、素子形成領域7のエッチ部分aにまるみを帯びさせた後、上層のSi<sub>3</sub>N<sub>4</sub>膜2を除去する。その後、素子形成領域7上にゲート絶縁膜10を形成した後、ゲート電極11を形成する。



本実施例の製法を示す工程図(その2)

## 【特許請求の範囲】

【請求項1】 トレンチ溝によって素子分離された素子形成領域上を含んでゲート電極が形成された半導体装置の製法において、

基体上に少なくとも耐酸化膜を含む積層膜を形成する工程と、

選択的に上記積層膜及びその下層の上記基体の一部を除去して上記基体に上記トレンチ溝を形成する工程と、

上記トレンチ溝内に絶縁膜を埋め込む工程と、

全面に選択酸化を施す工程を有することを特徴とする半導体装置の製法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、トレンチ溝によって素子分離された素子形成領域上を含んでゲート電極が形成されたMOS型FETの製法に関する。

【0002】

【従来の技術】一般に、図3で示すように、トレンチ溝によって素子分離された素子形成領域上を含んでゲート電極22が形成されたMOS型FETの製法は、この図3におけるA-A線上の断面方向に関してみると、まず、図4Aに示すように、例えばP型のシリコン基板23中、素子分離領域となる部分を例えばRIE（反応性イオンエッチング）にて一部エッチング除去してトレンチ溝24を形成する。ここで、トレンチ溝24以外の部分が素子形成領域21となる。

【0003】次に、図4Bに示すように、全面にSiO<sub>2</sub>膜25をBias ECRプラズマCVD法を用いて形成する。

【0004】次に、図4Cに示すように、全面にSOGやBPSG等の平坦化膜を形成した後、例えばRIEにてエッチバックを行って、SiO<sub>2</sub>膜25を平坦化する。この平坦化処理は、シリコン基板23が露出するまで行う。この時点で、トレンチ溝24内にSiO<sub>2</sub>膜25が埋め込まれたかたちとなる。尚、この場合、エッチバックのばらつきにより、SiO<sub>2</sub>膜25の上面がシリコン基板23の表面よりも下方に位置する箇所が存在する。

【0005】次に、図5Aに示すように、全面に熱酸化を行って、露出するシリコン基板23上に熱酸化膜によるゲート絶縁膜26を形成する。

【0006】次に、図5Bに示すように、全面に多結晶シリコン層を形成した後、該多結晶シリコン層をパターニングしてゲート電極27を形成することによりMOS型FETを得る。このとき、素子形成領域21上を含んでゲート電極27が形成される。

【0007】

【発明が解決しようとする課題】しかしながら、従来のMOS型FETの製法においては、トレンチ溝24にSiO<sub>2</sub>膜25を埋め込んだ後、熱酸化を行って、露出す

るシリコン基板23上に熱酸化膜によるゲート絶縁膜26を形成するようにしているため、素子形成領域21（シリコン基板23）のエッチ部分aでゲート絶縁膜26が薄くなる。特に、トレンチ溝24に埋め込んだSiO<sub>2</sub>膜25がエッチバックのばらつきにより、その上面がシリコン基板23の表面よりも下方に位置する箇所においては、ゲート絶縁膜26の薄膜化が著しい。

【0008】しかも、素子形成領域21（シリコン基板23）のエッチ部分aが略直角となっているため、上記ゲート絶縁膜26の薄膜化と相俟って、上記エッチ部分aにおいて電界集中が起こり易く、ゲート耐圧が劣化するという不都合があった。

【0009】また、上記エッチ部分aは、MOS型FETの製造中において、ストレスが集中し易く、該エッチ部分aにて結晶欠陥が多く発生するという不都合があった。この結晶欠陥は、リーク電流不良を引き起こし、MOS型FETの歩留りを著しく劣化させていた。

【0010】本発明は、このような課題に鑑み成されたもので、その目的とするところは、トレンチ溝にて素子分離されたMOS型FETにおけるゲート耐圧の向上を図ることができると共に、リーク電流不良の改善を図ることができる半導体装置の製法を提供することにある。

【0011】

【課題を解決するための手段】本発明は、トレンチ溝6によって素子分離された素子形成領域7上を含んでゲート電極11が形成された半導体装置の製法において、基体1上に少なくとも耐酸化膜2を含む積層膜を形成した後、選択的に積層膜及びその下層の基体1の一部を除去して基体1にトレンチ溝6を形成し、その後、トレンチ溝6内に絶縁膜9を埋め込んだ後、全面に選択酸化を施す。

【0012】

【作用】上述の本発明の製法によれば、基体1上に少なくとも耐酸化膜2を含む積層膜を形成した後、選択的に積層膜及びその下層の基体1の一部を除去して基体1にトレンチ溝4を形成し、その後、トレンチ溝4内に絶縁膜9を埋め込んだ後、全面に選択酸化を施すようにしたので、素子形成領域7（基体1）のエッチ部分aにまゝみを帯びさせることができ、ゲート絶縁膜10の形成後、素子形成領域7（基体1）のエッチ部分aにおけるゲート絶縁膜10の厚みを充分に確保することができる。その結果、動作時における上記エッチ部分aでの電界集中が低減され、ゲート耐圧が向上する。

【0013】また、素子形成領域7のエッチ部分aにまゝみを帯びさせることができることから、MOS型FETの製造中において、上記エッチ部分aにストレスが集中しなくなり、該エッチ部分aでの結晶欠陥は少なくなる。このことから、リーク電流不良の発生が少なくなり、MOS型FETの歩留りを向上させることができる。

【0014】

【実施例】以下、図1及び図2を参照しながら本発明の実施例を説明する。図1及び図2は、本実施例に係るMOS型FET(Nチャネル、Pチャネルを問わない)の製法を示す工程図である。この工程図は、図3のMOS型FETの平面図におけるA-A線上の断面方向に関する製造工程を示す。以下、順にその工程を説明する。

【0015】まず、図1Aに示すように、例えばP型のシリコン基板1上に厚み数十〜数百nm(本例では約50nm程度)のSi<sub>3</sub>N<sub>4</sub>膜2を例えばCVD法にて形成する。このSi<sub>3</sub>N<sub>4</sub>膜2の形成は、CVD法のほか、例えば熱窒化法を用いて形成してもよい。また、Si<sub>3</sub>N<sub>4</sub>膜2の代わりにSi<sub>3</sub>O<sub>2</sub>N<sub>2</sub>膜でもよい。

【0016】続いて、上記Si<sub>3</sub>N<sub>4</sub>膜2上に厚み数十〜数百nm(本例では約100nm程度)の多結晶シリコン層3を例えばCVD法にて形成する。尚、シリコン基板1とSi<sub>3</sub>N<sub>4</sub>膜2との間には、厚み数十nm以下の自然酸化膜や熱酸化膜(以下、総称して酸化膜と記す)4があってもよい。その後、多結晶シリコン層3上に、素子分離領域となる部分に対応した箇所に開口5aを有するフォトリソマスク5を形成する。

【0017】次に、図1Bに示すように、フォトリソマスク5の開口5aから露出する多結晶シリコン層3並びにその下層のSi<sub>3</sub>N<sub>4</sub>膜2及び酸化膜4をエッチング除去する。

【0018】次に、図1Cに示すように、露出するシリコン基板1の一部を例えばRIE(反応性イオンエッチング)にてエッチング除去してトレンチ溝6を形成する。ここで、トレンチ溝6以外の部分が素子形成領域7となる。その後、チャネルストッパ用の不純物をイオン注入して、トレンチ溝6に沿ったチャネルストッパ領域8を形成する。

【0019】次に、図2Aに示すように、全面にSiO<sub>2</sub>膜(上面を二点鎖線で示す)9をBias ECRプラズマCVD法を用いて形成する。その後、エッチングを主体にしたポリッシングにてSiO<sub>2</sub>膜9を研磨することにより、SiO<sub>2</sub>膜9を平坦化する。

【0020】この場合、多結晶シリコン層3が研磨ストッパとして機能し、ポリッシングは、多結晶シリコン層3が露出した時点で停止する。この時点で、トレンチ溝6にSiO<sub>2</sub>膜9が埋め込まれたかたちとなる。尚、このとき、ポリッシングのばらつきにより、SiO<sub>2</sub>膜9の上面がシリコン基板1の表面よりも下方に位置する箇所が存在する。また、多結晶シリコン層3は、SiO<sub>2</sub>膜9とのポリッシングの選択比が大きくとれるため、SiO<sub>2</sub>膜9をシリコン基板1上面と概ね同一平面上に平坦化処理するためのストッパとして働く。

【0021】このSiO<sub>2</sub>膜9を平坦化する方法の他の例としては、例えば全面にSOGやBPSG等の平坦化膜を形成した後、例えばRIEにてエッチバックを行っ

て、SiO<sub>2</sub>膜9を平坦化するようにしてもよい。

【0022】次に、図1Eに示すように、多結晶シリコン層3を例えばCF<sub>4</sub>ガスのドライエッチングにて除去する。その後、選択酸化を行って、トレンチ溝6内のSiO<sub>2</sub>膜9を厚み約100nmほど成長させる。このとき、Si<sub>3</sub>N<sub>4</sub>膜2の端面に選択酸化によるバースピークが形成され、このバースピークの成長により素子形成領域7のエッチ部分aにまるみが形成される。また、上記バースピークの成長に伴って、上方にバースヘッドが成長し、少なくとも素子形成領域7のエッチ部分aにおけるSiO<sub>2</sub>膜9の膜厚は、後に形成されるゲート絶縁膜10の厚みよりも大きくなる。

【0023】尚、この選択酸化は、上記素子形成領域7のエッチ部分aの一部酸化(まるみの形成)のほか、チャネルストッパ領域8の結晶改善を目的とした活性化処理及びトレンチ溝6に埋め込まれたSiO<sub>2</sub>膜9の緻密・安定化を目的としたデンシファイ処理を兼ねる。

【0024】次に、図1Fに示すように、表面のSi<sub>3</sub>N<sub>4</sub>膜2をエッチング除去した後、素子形成領域7上の酸化膜4をエッチング除去を兼ねた前処理を行う。その後、熱酸化を行って、素子形成領域7上に熱酸化膜によるゲート絶縁膜10を形成した後、全面に多結晶シリコン層を形成し、更に該多結晶シリコン層をバターニングしてゲート電極11を形成することにより本例に係るMOS型FETを得る。このとき、素子形成領域7上を含んでゲート電極11が形成される。

【0025】上述のように、本例によれば、シリコン基板1上にSi<sub>3</sub>N<sub>4</sub>膜2及び多結晶シリコン層3を形成した後、選択的にSi<sub>3</sub>N<sub>4</sub>膜2及び多結晶シリコン層3並びにその下層のシリコン基板1の一部を除去して、シリコン基板1にトレンチ溝6を形成し、その後、トレンチ溝6内にSiO<sub>2</sub>膜9を埋め込んだ後、全面に選択酸化を施すようにしたので、素子形成領域7(シリコン基板1)のエッチ部分aにまるみを帯びさせることができ、しかも選択酸化によるバースピーク及びバースヘッドの影響により、上記エッチ部分aのSiO<sub>2</sub>膜9の膜厚を、その後形成されるゲート絶縁膜10の厚みよりも大きくすることができる。

【0026】従って、ゲート絶縁膜10の形成後、素子形成領域7(シリコン基板1)のエッチ部分aにおけるゲート絶縁膜10の厚みを充分に確保することができ、それにより、動作時における上記エッチ部分aでの電界集中を低減することができ、ゲート耐圧の向上を実現させることができる。

【0027】また、素子形成領域7のエッチ部分aにまるみを帯びさせ、更に該エッチ部分aにおけるSiO<sub>2</sub>膜9の膜厚を厚くすることができることから、MOS型FETの製造中において、上記エッチ部分aにストレスが集中しなくなり、該エッチ部分aでの結晶欠陥は少なくなる。このことから、リーク電流不良の発生が少なく

なり、MOS型FETの歩留りを向上させることができる。

【0028】

【発明の効果】本発明に係る半導体装置の製法によれば、トレンチ溝にて素子分離されたMOS型FETにおけるゲート耐圧の向上を図ることができると共に、リーク電流不良の改善を図ることができ、MOS型FETの高信頼性及び高歩留り化を達成させることができる。

【図面の簡単な説明】

【図1】本実施例に係るMOS型FETの製法を示す工程図（その1）。

【図2】本実施例に係るMOS型FETの製法を示す工程図（その2）。

【図3】一般的なMOS型FETの構成を示す平面図

【図4】従来例に係るMOS型FETの製法を示す工程図（その1）。

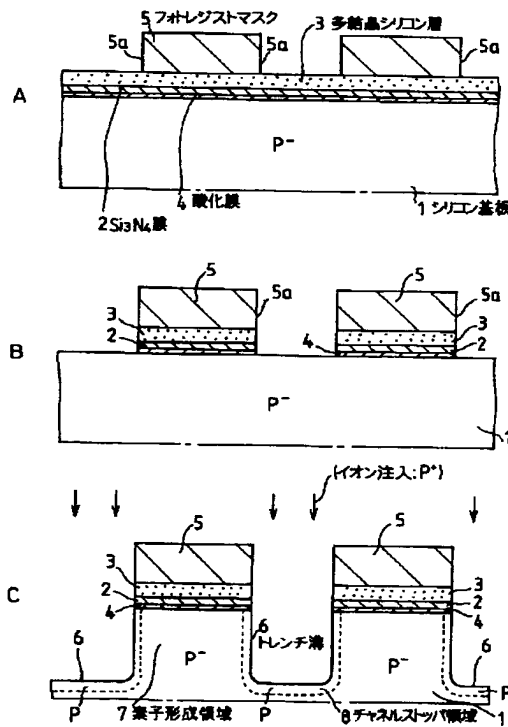
\*

\*【図5】従来例に係るMOS型FETの製法を示す工程図（その2）。

【符号の説明】

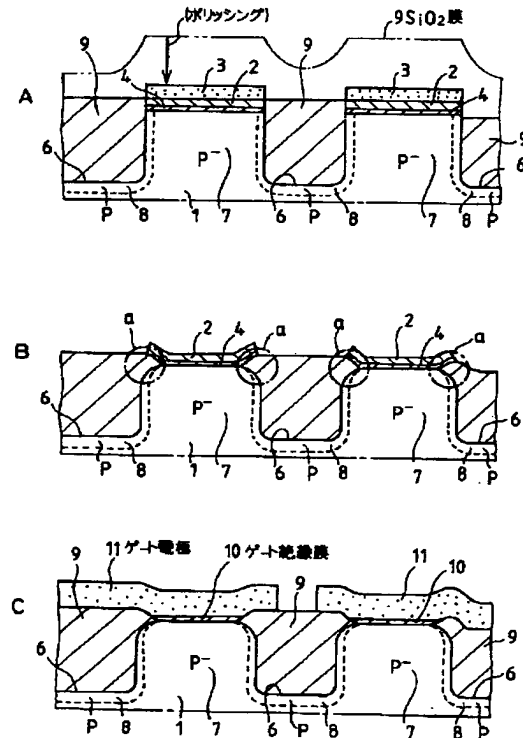
- 1 シリコン基板
- 2 Si, N<sub>2</sub> 膜
- 3 多結晶シリコン層
- 4 酸化膜
- 5 フォトリソグマスク
- 6 トレンチ溝
- 7 素子形成領域
- 8 チャネルストップ領域
- 9 SiO<sub>2</sub> 膜
- 10 ゲート絶縁膜
- 11 ゲート電極
- a エッチ部分

【図1】



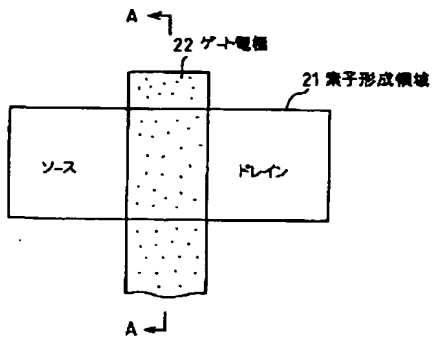
本実施例の製法を示す工程図（その1）

【図2】



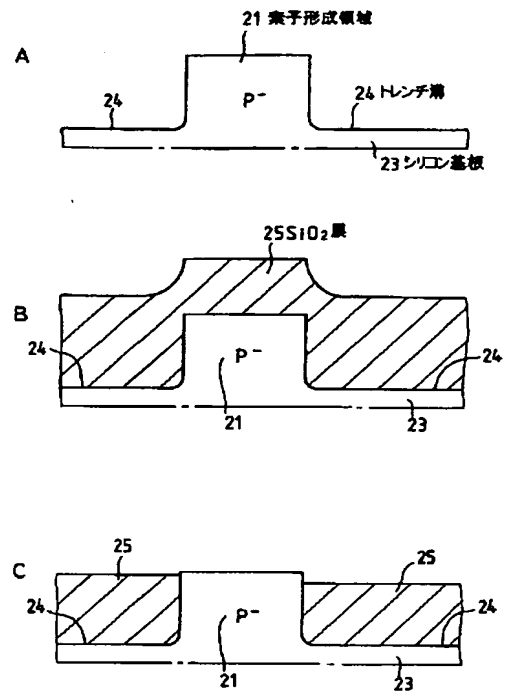
本実施例の製法を示す工程図（その2）

【図3】



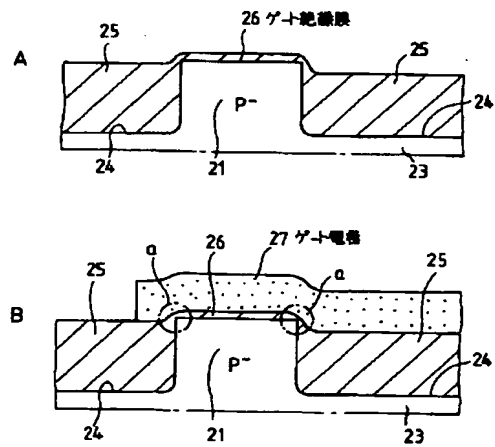
MOS型FETを示す平面図

【図4】



従来例の製法を示す工程図 (その1)

【図5】



従来例の製法を示す工程図 (その2)

## 【手続補正書】

【提出日】平成3年11月14日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正内容】

【0012】

【作用】上述の本発明の製法によれば、基体1上に少なくとも耐酸化膜2を含む積層膜を形成した後、選択的に積層膜及びその下層の基体1の一部を除去して基体1にトレンチ溝6を形成し、その後、トレンチ溝6内に絶縁膜9を埋め込んだ後、全面に選択酸化を施すようにしたので、素子形成領域7（基体1）のエッチ部分aにまるみを帯びさせることができ、ゲート絶縁膜10の形成後、素子形成領域7（基体1）のエッチ部分aにおけるゲート絶縁膜10の厚みを十分に確保することができる。その結果、動作時における上記エッチ部分aでの電界集中が低減され、ゲート耐圧が向上する。

## 【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】変更

【補正内容】

【0022】次に、図2Bに示すように、多結晶シリコ

ン層3を例えばCF<sub>4</sub>ガスのドライエッチングにて除去する。その後、選択酸化を行って、トレンチ溝6内のSiO<sub>2</sub>膜9を厚み約100nmほど成長させる。このとき、Si、N、膜2の端面に選択酸化によるパズピークが形成され、このパズピークの成長により素子形成領域7のエッチ部分aにまるみが形成される。また、上記パズピークの成長に伴って、上方にパズヘッドが成長し、少なくとも素子形成領域7のエッチ部分aにおけるSiO<sub>2</sub>膜9の膜厚は、後に形成されるゲート絶縁膜10の厚みよりも大きくなる。

## 【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】変更

【補正内容】

【0024】次に、図2Cに示すように、表面のSi、N、膜2をエッチング除去した後、素子形成領域7上の酸化膜4をエッチング除去を兼ねた前処理を行う。その後、熱酸化を行って、素子形成領域7上に熱酸化膜によるゲート絶縁膜10を形成した後、全面に多結晶シリコン層を形成し、更に該多結晶シリコン層をパターンニングしてゲート電極11を形成することにより本例に係るMOS型FETを得る。このとき、素子形成領域7上を含んでゲート電極11が形成される。